

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-157398

(43)Date of publication of application : 13.07.1987

(51)Int.Cl.

G11C 11/34

H01L 27/10

(21)Application number : 60-297014

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1985

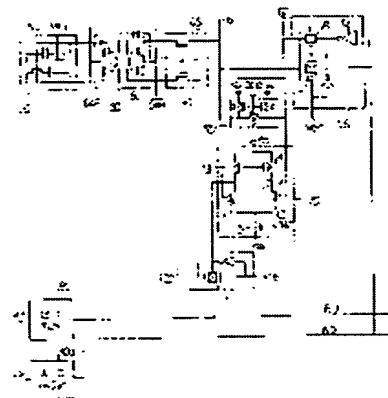
(72)Inventor : OSAWA TAKASHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To execute a data transmission at high speed by providing a means to latch statically the signal on a bit line onto an I/O line and means to precharge the electric potential of the I/O line to the intermediate electric potential before latching.

CONSTITUTION: To an I/O and the inverse of I/O line pair, the signal, which can be detected by an I/O buffer circuit 75, is sent from bit lines BL and the inverse of BL, and then, independently, the signal is latched. Thus, it is not necessary to obtain the spare allowance, and rapidly, the data can be transferred to a read data line RD. At the circuit, the electric potential of the I/O and the inverse of I/O lines is precharged to an intermediate electric potential VM of a power source electric potential and an earth electric potential by a precharging circuit 55. Thus, then a signal line CSL is led, the I/O and the inverse of I/O lines connected to the higher electric potential out of the bit lines BL and the inverse of BL are ascended to the power source electric potential from the electric potential VM without fail. Since the I/O line and the inverse of I/O line connected to the lower electric potential are descended from the electric potential VM, the time is hastened in which the necessary level difference is made.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-157398

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月13日

G 11 C 11/34
H 01 L 27/10

3 5 4

A-8522-5B
7735-5F

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭60-297014

⑯ 出 願 昭60(1985)12月28日

⑰ 発 明 者 大 澤 隆 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 佐藤 一雄 外2名

明 細 書

記載の半導体記憶装置。

1. 発明の名称 半導体記憶装置

3. 発明の詳細な説明

(発明の技術分野)

2. 特許請求の範囲

本発明は半導体記憶装置にかかり、特に高集積化、高速化および高機能化を要求されるコンピュータ等に使用されるダイナミック型半導体記憶装置に関する。

1. ビット線を介してメモリセルとI/O線との間で信号の授受を行う半導体記憶装置において、

(発明の技術的背景)

前記ビット線上の信号を前記I/O線上にスタティックにラッチする第1の手段と、前記第1の手段によるラッチ以前に前記I/O線の電位を第1の電位 V_{cc} と第2の電位 V_{ss} の中間の電位 V_H にプリチャージする第2の手段とを設けたことを特徴とする半導体記憶装置。

従来のダイナミック型半導体記憶装置の一例を図3図に示す。ビット線BL、 \overline{BL} を介してメモリセル20とI/O線I/O、 $\overline{I/O}$ との間で信号の授受が行なわれる。メモリセル20は通常は1つのMOSトランジスタと1つのキャパシタとから構成されており、これがマトリックス状に配置されてメモリを構成している。メモリセル20にはワード線 WL_1 、 WL_2 とビット線BL、 \overline{BL} とが接続され、ワード線 WL_1 、 WL_2 によって指定されたメモリセル20に対してビット線BL、 \overline{BL} を介して信号の授受がおこなわれる。

2. 前記第1の手段がカレントミラー型差動増幅回路で構成され前記I/O線に結合されたI/Oバッファ回路である特許請求の範囲第1項記載の半導体記憶装置。

3. 前記中間電位 V_H を前記ビット線のプリチャージ電位と同一にした特許請求の範囲第1項

メモリセル20にはビット線BL、 \overline{BL} を介してセンスアンプ30が接続されており、このセンスアンプ30には信号線SAP、SANが供給されている。これにより、メモリセル20から読み出された信号がレベル変換されて出力される。センスアンプ30からの出力信号はゲート回路40を介してI/O線I/O、 $\overline{I/O}$ に供給されるように構成されている。そして、ゲート回路40に接続されている信号線CSLがハイレベルに制御された時、センスアンプ30からの信号がI/O線にあらわれる。I/O線I/O、 $\overline{I/O}$ にはプリチャージ回路50、60がそれぞれ接続されており、このプリチャージ回路50、60は、I/Oバッファ回路70が信号をラッチする以前にそれぞれI/O線I/O、 $\overline{I/O}$ の電位を所定の電位、通常は電源電位 V_{cc} にプリチャージしておくために用いられる。

このプリチャージ回路50、60は信号線CEQからの制御信号により動作するように構成されており、信号線CEQの電位がローレベルと

$\overline{I/O}$ に現われたところを見計って信号線QSEをハイレベルにして、フリップフロップ回路で構成されているI/Oバッファ回路70内にラッチしたデータを、リードデータ線RD、 \overline{RD} を經由して出力バッファ90から外部へ伝送して取り出すようにしていた。同様にデータの書き込み時にも、入力バッファ900を介して取り込んだデータをライトデータ線WD、 \overline{WD} を經由して書き込み制御回路110に伝え、書き込み制御信号WGTをローレベルにしてデータを、I/O線I/O、 $\overline{I/O}$ およびセンスアンプ30に伝送するようにしていた。

(背景技術の問題点)

しかしこのような従来のダイナミック型半導体記憶装置では、以下に述べるような問題点があった。すなわち、データの読み出し時に信号線CSLの信号レベルをハイレベルにして、I/O線I/O、 $\overline{I/O}$ にビット線BL、 \overline{BL} の信号が十分表われたのを見計って、信号線QSEのレベルを上げてデータをラッチするようにしていた

なった時、前述したプリチャージをおこなう。

I/O線I/O、 $\overline{I/O}$ に読み出された信号はゲート回路80を介してI/Oバッファ回路70に伝えられるが、このゲート回路80は書き込み制御信号WGTにより制御される。またI/Oバッファ回路70からのデータの読み出しは信号QSEにより制御されており、信号QSEがハイレベルとなった時I/Oバッファ回路70内にデータをラッチし、それが読み出されてリードデータ線RD、 \overline{RD} に送られ、出力バッファ90を介して外部に読み出される。また外部からのデータは入力バッファ900を介してライトデータ線WD、 \overline{WD} 上を伝送され、書き込み制御回路110を介してI/O線I/O、 $\overline{I/O}$ に入力される。書き込み制御回路110の制御は前述した書き込み制御信号WGTによりおこなわれる。

このような従来のダイナミック型半導体記憶装置では、メモリセル20からのデータの読み出しに当っては、信号線CSLをハイレベルに保ち、センスアンプ30からの信号がI/O線I/O、

め、ダイナミック動作が必要となり動作タイミングのマージンを見込まなければならないため、読み出し時間に無駄ができてしまう。

さらに、リードデータ線RD、 \overline{RD} とライトデータ線WD、 \overline{WD} を半導体チップの一辺に亘って長距離走らさなければならないため、チップ面積を占有にしようという問題があった。特に、ダイナミックメモリは将来、入出力データを4ビット、8ビット、16ビット等の多ビット構成で伝送する構成のものが要求されるようになって見込まれる。

また、テストを容易化するために、読み出し時に多ビットの情報の論理演算をおこなったのちに、出力するようなことも必要となる。いずれの場合にも、リードデータ線RD、 \overline{RD} とライトデータ線WD、 \overline{WD} は共有化できても、データ線は4組、8組、16組と必要となるため、従来のようにデータ線を相補的に構成していた場合、データバスが太くなり小型のパッケージに収容するさいに不利となってしまう。

(発明の目的)

本発明は上記事情を考慮してなされたもので、センスアンプにラッチされたデータを迅速にI/O線にラッチし、それを出力バッファに転送することができる半導体記憶装置を提供することを目的とする。

(発明の概要)

上記の目的を達成するため本発明は、ビット線を介してメモリセルとI/O線との間で信号の授受を行う半導体記憶装置において、ビット線上の信号をI/O線にスタティックにラッチする第1の手段と、第1の手段によるラッチ以前にI/O線の電位を第1の電位 V_{cc} と第2の電位 V_{ss} の中間の電位 V_H にプリチャージする第2の手段とを設けたことを特徴とする半導体記憶装置を提供するものである。

(発明の実施例)

第1図は本発明の一実施例を示す回路図である。なお、第3図に示す回路の回路ブロックと同一部分には同一符号を付しその説明は省略する。

電源電位 V_{cc} と接地電位 V_{ss} の中間の電位 V_H となる。このプリチャージ回路55は3つのP型MOSトランジスタ3、4、5により構成されており、トランジスタ3、4のソースは電源電圧 V_{cc} と接地電位 V_{ss} の中間電位 V_H になるよう接続されている。

トランジスタ5は準備期間中すなわち信号線CFQの電位が接地電位 V_{ss} の期間に、I/O線I/O、 $\overline{I/O}$ の電位を等しくする機能を有している。また2つのP型トランジスタ3、4は、準備期間中にI/O線I/O、 $\overline{I/O}$ の電位を中間電位 V_H に固定しておく機能を持っている。

読み出し制御回路120はN型とP型とのMOSからなる双方向性トランスファークゲート7により構成されており、読み出し時すなわち信号線RDEがハイレベルになった時に、I/Oバッファ回路75からの出力データを1本で構成されたリードデータ線RDに転送する動作をおこなう。出力バッファ90および入力バッファ100に接続されるリードデータ線RDおよびライトデータ

本発明による記憶装置では、ビット線BL、

\overline{BL} 上の信号をI/O線にスタティックにラッチするための手段を採用しており、これが第1図に示すI/Oバッファ回路75である。このI/Oバッファ回路75は、カレントミラー型差動増幅回路として構成されている。電源電位 V_{cc} と接地電位 V_{ss} との信号経路は信号線DAEがゲートに入力されているトランジスタ2により、導通または遮断がおこなわれるように構成されている。これにより、無駄な通過電流が流れるのを防いでいる。カレントミラー型差動増幅回路は差動対を形成する2つのN型MOSトランジスタ11、12と、負荷を形成するP型MOSトランジスタ13、14の対により構成される。

また本発明では、I/Oバッファ回路75がラッチを開始する以前にI/O線を所定の電位にプリチャージするためのプリチャージ回路55が設けられている。そして、このプリチャージ回路55によりプリチャージされるI/O線の電位は、

線WDはそれぞれ1本で構成され、読み出し制御回路120および書き込み制御回路115に接続される。書き込み制御回路はN型とP型との双方向性トランスファークゲート8、9と、CMOSインバータ10とで構成されている。そして、書き込み時すなわち書き込み制御信号WGTがハイレベルとなった時に、1本化されたライトデータ線WDからのデータをインバータ10で反転してI/O線I/O、 $\overline{I/O}$ にそれぞれ転送する。

次に本回路の作用を説明する。I/O、 $\overline{I/O}$ 線対へのビットラインBL、 \overline{BL} のデータのラッチは、以下のようになされる。すなわち、I/O、 $\overline{I/O}$ 線対に対して、カレントミラー型差動増幅器で構成されたI/Oバッファ回路75が検知できる信号がビット線BL、 \overline{BL} から送られた時、自立的にスタチックなラッチをする。したがって、従来の装置のように制御信号QSEを必要とせず、回路が簡単になる。さらに時間的に見ると、従来はある程度の余裕をもって制御信号QSEを立ち上げる必要があったが、本発明の場合にはI/O、

$\overline{I/O}$ 線の信号自体でラッチをおこなうため余分な余裕を取る必要もなく、すばやくリードデータ線 RDヘデータを転送することができる。以上が本発明の第1の特徴である。

また本発明の回路では、プリチャージ回路55によって I/O 、 $\overline{I/O}$ 線の電位を中間電位 V_H にプリチャージするようにしている。従来のように準備期間に I/O 、 $\overline{I/O}$ 線の電位を電源電位 V_{CC} にプリチャージしておくと、信号線 CSL がハイレベルになってビット線 BL、 \overline{BL} の信号が I/O 、 $\overline{I/O}$ 線へ現われるにさいして、ビット線 BL、 \overline{BL} のうちで電位の低い方の信号が I/O 、 $\overline{I/O}$ 線のいずれかの電位を電源電位 V_{CC} から下げるのみで、ビット線 BL、 \overline{BL} のうちで電位の高い方と接続された方は電源電位 V_{CC} のレベルにとどまり続ける。さらに、ビット線 BL、 \overline{BL} にまだ充分信号が出ていない時期に信号線 CSL を立ち上げると、ビット線 BL、 \overline{BL} のうちの高い電位にあるビット線に接続された

I/O 、 $\overline{I/O}$ 線も電源電位 V_{CC} レベルから下がることになり、カレントミラー型差動増幅器で増幅するのに必要な I/O 、 $\overline{I/O}$ 線のレベル差が出る時期が遅くなってしまう。このようなことは、アクセスタイムを短くするための駆動においてしばしば発生する。

これに対して本発明の回路では、準備期間において I/O 、 $\overline{I/O}$ 線の電位を電源電位 V_{CC} と接地電位 V_{SS} との間にある電位 V_H にプリチャージしておくため、信号線 CSL を立ち上げた時にビット線 BL、 \overline{BL} のうちの電位の高い方に接続された I/O 、 $\overline{I/O}$ 線は、必ず中間電位 V_H から電源電位 V_{CC} 側に持ち上げられる。また低い方へ接続された I/O 、 $\overline{I/O}$ 線は中間電位 V_H から接地電位 V_{SS} 側へ下げられるようになるため、カレントミラー型差動増幅器で増幅するのに必要なレベル差が出る時期を早めている。

このように I/O 、 $\overline{I/O}$ 線対の準備期間におけるプリチャージ電位をカレントミラー型差動増

幅器の感度が最もよい中間電位 V_H にプリチャージしているのが本発明の第2の特徴である。

なお、このような構成はビット線 BL、 \overline{BL} 自体を準備期間に、電源電位 V_{CC} と接地電位 V_{SS} の中間レベルにプリチャージして消費電流を減らして基板電位のゆれを無くすようにしたセンス方式においては、特に威力を発揮するものである。かかるセンス方式は、ダイナミックメモリの主流になりつつある。一般に、カレントミラー型増幅器に2つの入力信号 V と $V - \Delta V$ の電位が入力されている時、電位差 ΔV は同じであっても V の値によっては増幅率が異なる。そして、 $V = V_{CC}$ の時あるいは $V = V_{SS} + \Delta V$ の時が増幅率がもっとも低い。したがって、 I/O 、 $\overline{I/O}$ 線を中間電位 V_H にプリチャージしておくことは、差動増幅器の増幅率を上げるという観点から優れている。

また本発明では、リードデータ線およびライトデータ線を従来のように相補的に対をなして構成することなく、1本で構成するようにしている。このような構成は今後増えると考えられる多ビッ

ト構成のダイナミックメモリによって、データバスの占有面積を減少させるため好ましい。

なお、ビット線 BL、 \overline{BL} のプリチャージレベル V_{BL} と I/O 、 $\overline{I/O}$ 線のプリチャージレベル V_H とを同一にしておくことも可能である。このようにしておけば、前述したようにダイナミックメモリの次第に主流となりつつあるセンス方式において有効である。

第2図は初期のビット線 BL と I/O 線との間の電位差と、信号線 CSL の電位がハイレベルになってから一定時間後の I/O 線のレベル変化との関係を示す特性図である。この図からも明らかに、 I/O 線、 $\overline{I/O}$ 線がビット線 BL、 \overline{BL} への接続により、中間電位 V_H から一定時間に分離する電位差は初期の I/O 、 $\overline{I/O}$ 線とビット線 BL、 \overline{BL} との電位差に比例せず飽和していく傾向にある。すなわち、電位差の小さい時には良い近似で比例する。したがって、ビット線 BL、 \overline{BL} の電位差が一定の時に信号線 CSL を上げて I/O 線、 $\overline{I/O}$ 線に電位差をつけ

る際、信号線CSLのレベルが上がった時の、 I/O 、 I/O 線のプリチャージレベル V_H がビット線BL、BLの中間の電位すなわちビット線BL、BLのプリチャージレベル V_{BL} の時に、一定時間後の I/O 、 I/O 線の電位差がもっとも大きくなる。したがって、リードデータ線RDにデータがもっとも早く現われることになる。

本発明は上記実施例に限定されるものではなく、種々の変形が可能である。例えば、 I/O 線の信号をスタチックにラッチする回路はカレントミラー型差動増幅器に限られない。また、ライトデータ線WD、リードデータ線RDは1本に限らず、それぞれ一対にしてもよい。

(発明の効果)

以上詳細に説明したように本発明では、ビット線上の信号を I/O 線上にスタチックにラッチする手段と、ラッチ以前に I/O 線の電位を中間電位 V_{BL} にプリチャージする手段とを設けたため、 I/O 線をラッチするさいに従来のようにダイナミック動作させる必要がなく、従って動作余裕を

取る必要がなくなり、高速にデータの伝送をおこなうことができる。

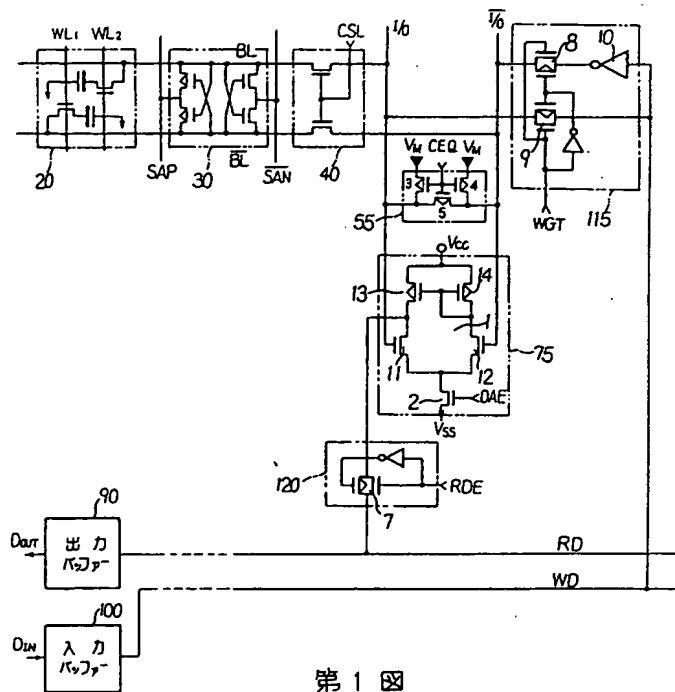
また、 I/O バッファ回路の動作がもっとも高速になる点にプリチャージレベルを選択しているため、高速増幅が可能となる。

4. 図面の簡単な説明

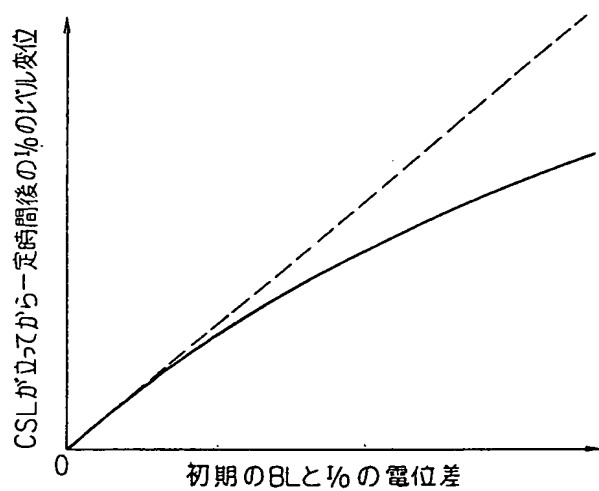
第1図は本発明の一実施例を示す回路図、第2図はビット線と I/O 線との電位差と I/O レベル変位との関係を示す特性図、第3図は従来の半導体記憶装置の構成を示す回路図である。

20…メモリセル、30…センスアンプ、40…ゲート回路、55…プリチャージ回路、75… I/O バッファ回路、115…書き込み制御回路、120…読み出し制御回路。

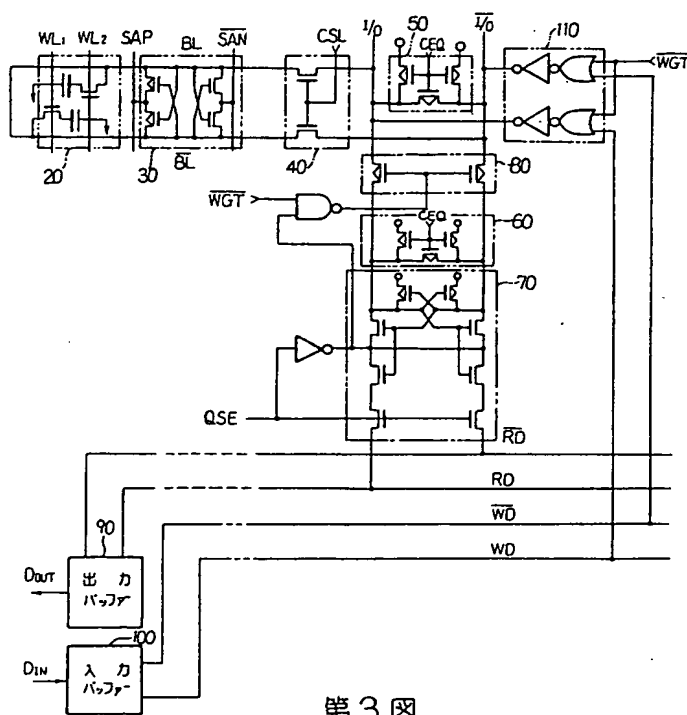
出願人代理人 佐 藤 一 郎



第1図



第2図



第3図